

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-094449

(43)Date of publication of application : 07.04.1995

(51)Int.Cl.

H01L 21/285

H01L 29/78

H01L 21/336

(21)Application number : 06-045657

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.03.1994

(72)Inventor : SAKATA ATSUKO  
KUNISHIMA IWAO  
OUCHI KAZUYA

(30)Priority

Priority number : 05189742

Priority date : 30.07.1993

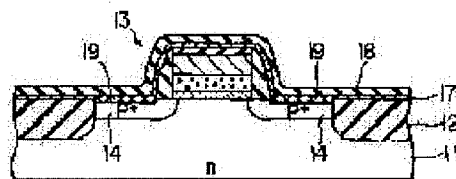
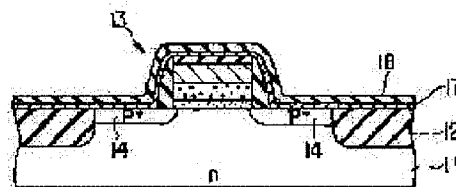
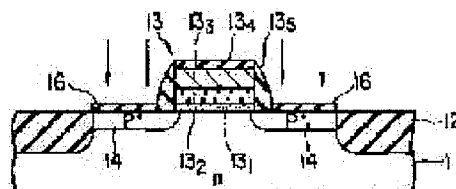
Priority country : JP

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To reduce the resistance of a laminated film even when the thickness of a transition metal compound film becomes thinner by forming a transition metal film on the entire surface of a semiconductor substrate, on which impurity diffusion layers and insulating films are formed, in an inert gas atmosphere containing no nitrogen and a transition metal nitride film on the transition metal film in an inert gas atmosphere containing nitrogen, and then, heating the laminated film.

**CONSTITUTION:** On the entire surface of an Si substrate 11 which is provided with a P<sup>+</sup>-diffusion layer 14 on its surface and insulating films 12, 13, and 15, formed in a desired pattern, a Ti film 17 is formed by sputtering using a Ti target in an inert gas atmosphere containing no nitrogen. Then a TiN film 18 is formed on the Ti film 17 by performing sputtering using a Ti target so that the substrate 11 cannot be exposed to plasma in an inert gas atmosphere containing nitrogen. Thereafter, a TiSi<sub>2</sub> film 19 is formed at the part where the Ti film 17 is in direct contact with the substrate 11 by heating the laminated film of the films 17 and 18. Therefore, the resistance of the laminated film can be sufficiently lowered even when the thickness of the Ti compound film is reduced to 50nm.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94449

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/285	3 0 1 T	7376-4M		
29/78				
21/336				
		7514-4M	H 0 1 L 29/ 78	3 0 1 P

審査請求 未請求 請求項の数 2 O L (全 11 頁)

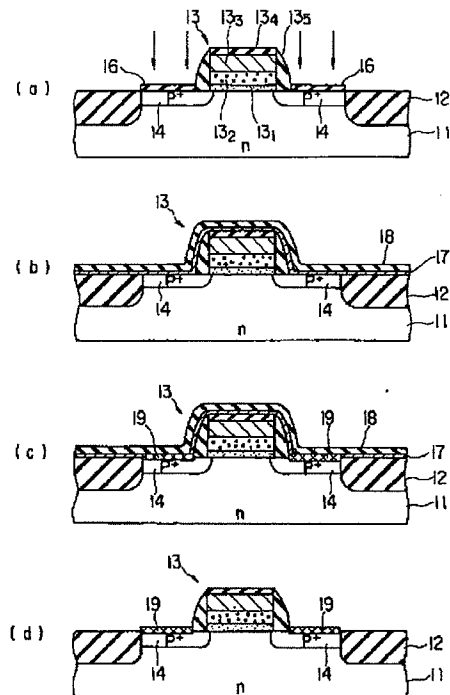
(21) 出願番号	特願平6-45657	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成6年(1994)3月16日	(72) 発明者	坂田 敦子 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
(31) 優先権主張番号	特願平5-189742	(72) 発明者	國島 巖 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
(32) 優先日	平5(1993)7月30日	(72) 発明者	大内 和也 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 半導体基板の拡散層上に形成する $TiSi_2$ 膜を50nmと薄膜化した場合でも膜の抵抗を十分低くすることができ、かつ $TiSi_2$ 膜の耐熱性の向上をはかり得る半導体装置の製造方法を提供すること。

【構成】 拡散層上に $Ti$ シリサイドを形成して低抵抗化をはかった半導体装置の製造方法において、表面に $p^+$ 拡散層14を有し所望パターンに絶縁膜12、13、13<sub>5</sub>が形成された $Si$ 基板11上の全面に、窒素を含まない不活性ガス雰囲気中で $Ti$ をターゲットとしたスパッタにより $Ti$ 膜17を形成し、次いで $Ti$ 膜17上に、窒素を含む不活性ガス雰囲気中で $Ti$ をターゲットとし、 $Si$ 基板11がプラズマに晒されないようにしたスパッタにより、 $TiN$ 膜18を形成し、次いで $Ti$ 膜17と $TiN$ 膜18の積層膜を加熱することによって、 $Si$ 基板11と $Ti$ 膜17が直接接する部分に $TiSi_2$ 膜19を形成すること。



#### 【特許請求の範囲】

【請求項1】表面に不純物拡散層を有し所望パターンに絶縁膜が形成された半導体基板上の全面に、窒素を含まない不活性ガス雰囲気中で遷移金属をターゲットとしたスパッタにより、遷移金属膜を形成する工程と、前記遷移金属膜上に、窒素を含まない不活性ガス雰囲気中で遷移金属をターゲットとし、前記半導体基板がプラズマに晒されないようにしたスパッタにより、遷移金属の窒化物膜を形成する工程と、前記遷移金属膜と遷移金属の窒化物膜の積層膜を加熱することによって、前記絶縁膜の開口部に露出した基板表面部分に、前記半導体基板の構成元素と遷移金属との化合物膜を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項2】表面に不純物拡散層を有し所望パターンに絶縁膜が形成された半導体基板上の全面に、窒素を含まない不活性ガス雰囲気中で遷移金属をターゲットとしたスパッタにより、遷移金属膜を形成する工程と、前記遷移金属膜上に、窒素を含まない不活性ガス雰囲気中で遷移金属の窒化物をターゲットとしたスパッタにより、遷移金属の窒化物膜を形成する工程と、前記遷移金属膜と遷移金属の窒化物膜の積層膜を加熱することによって、前記絶縁膜の開口部に露出した基板表面部分に、前記半導体基板の構成元素と遷移金属との化合物膜を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】本発明は、浅い不純物拡散層上にTiシリサイド等の遷移金属化合物膜を自己整合的に形成した半導体装置の製造方法に関する。

##### 【0002】

【従来の技術】近年、半導体装置の高集積化に伴い、電気回路の微細化は進む一方であり、基本素子である電解効果トランジスタ(FET)等においても微細化が必要となっている。FETのゲート電極の幅を狭くするのに伴って、短チャンネル効果の発生を抑制するために、ソース・ドレイン領域の拡散層深さも浅くすることが要求され、低加速イオン注入法等が広く用いられている。この方法を用いることにより、0.1 $\mu$ m以下の浅いソース・ドレイン領域を形成でき、FETの微細化と共に性能向上をはかることが可能であるが、この場合、不純物拡散層の抵抗は高く、100 $\Omega$ / $\square$ 以上のシート抵抗となってしまう。半導体素子の高速化のためには、拡散層のシート抵抗を小さくしてドレイン電流を流れやすくする必要がある。この目的のために、拡散層の表面を金属化し低抵抗化する方法が提案されている。

【0003】このような方法の1つとして、図8に示すように、シリサイドと呼ばれる拡散層表面を自己整合的にシリサイドにする方法がある。まず、p型Si基板1

上のフィールド酸化膜2で囲まれた素子形成領域にゲート絶縁膜3<sub>1</sub>、ゲート電極3<sub>2</sub>及び側壁絶縁膜3<sub>3</sub>からなるゲート領域3を形成し、さらにイオン注入によりp型の不純物拡散層4を形成する。続いて、チタン(Ti)ターゲット表面をアルゴン(Ar)プラズマでスパッタリングし、Ti膜7を40nmの厚さに堆積する。その後、Tiターゲット表面を窒素とアルゴン(N<sub>2</sub>/Ar)の混合ガスによって生成したプラズマでスパッタリングし、ターゲット表面の窒化反応によりチタンナイトライド(TiN)を形成しながら、先のTi膜7表面上にTiN膜8を堆積する(図8(a))。

【0004】次いで、この多層膜を窒素雰囲気中でアニールして珪化チタン(TiSi<sub>2</sub>)膜9を形成する(図8(b))。その後、硫酸及び過酸化水素の混合溶液を用いて未反応のTi及びTiNをエッチング除去する(図8(c))。ここまでの工程により、不純物拡散層4上にのみ自己整合的にTiSi<sub>2</sub>膜9が形成される。最後に、絶縁膜5を設けコンタクトホールを開孔した後、電極配線6を形成する(図8(d))。

【0005】この方法によると、例えば80nmのシリサイドを形成することによってシート抵抗を約3 $\Omega$ / $\square$ に低減できる。ここで、Ti表面に堆積するTiN膜はTi表面の酸化を抑制する作用をし、良好なTiSi<sub>2</sub>を形成するためには欠くことのできない膜であった。しかしながら、最近のMOSFETの更なる微細化の研究によって以下のような問題の生ずることが分かってきた。

【0006】シリサイドは拡散層上に直接形成されるために、シリサイドを形成することで基板Siが消費され、拡散層の実効的な厚さが減少する。例えば、0.1 $\mu$ mの拡散層を形成したのち80nmのTiSi<sub>2</sub>を形成した場合、拡散層の残り厚さは20nmと非常に少なくなってしまう。この結果、浅い拡散層上にシリサイドを形成すると、この実効的拡散層厚さが減少するのに伴い拡散層の接合リーク電流が著しく増加することが明らかになった。従ってこの問題を回避するためには、素子の微細化に伴ってシリサイドの膜厚を薄くして行くことが重要となってきた。ところが、さらに種々の検討を進めた結果、以下のような問題点の生じることが明らかになってきた。

【0007】即ち、形成するTiSi<sub>2</sub>の膜厚を薄くするために堆積するTiの膜厚を薄くするとTiSi<sub>2</sub>の比抵抗が上昇し、当初予想されたほど拡散層のシート抵抗は低下しないことが明らかになったのである。このため、素子の性能を十分に発揮させるためにはTiSi<sub>2</sub>膜厚を増加させる必要が生じてしまい、素子の性能向上を阻む要因となった。例えば上記方法で薄膜TiSi<sub>2</sub>を30nm形成した場合、TiSi<sub>2</sub>膜の比抵抗は25 $\mu\Omega$ cmにもなる。TiSi<sub>2</sub>膜の理想的な比抵抗は13 $\mu\Omega$ cm前後であり、これと比べて90%も高い値で

あるためシート抵抗を十分に低減することができなかった。

【0008】また、この膜を熱処理したところ750℃以上の温度でシート抵抗が急激に上昇する現象が現れたため、膜の状態を詳細に調べた結果、アニールによって $TiSi_2$ の結晶粒が凝集する、いわゆるアグロメレーション現象が起こっていることが明らかになった。従来、アグロメレーションは900℃以上で顕著に起きることが報告されていたが、このような低温での報告はなされておらず素子の微細化を抑制する重大な問題点であることが明らかになってきた。従って、これらの原因を解明すると共に、その対策をはかることが急務となっている。

【0009】

【発明が解決しようとする課題】このように従来、深さが0.1μm以下の浅い不純物拡散層上に $TiSi_2$ を自己整合的に形成する場合に、接合リークの発生を防止するために $TiSi_2$ 膜厚を薄くする必要があった。しかし、 $TiSi_2$ を薄くすると膜の比抵抗が上昇し、同時にアグロメレーションの開始温度が著しく低下することが明らかになったため、素子の微細化を進めることが困難であった。

【0010】本発明は、上記事情を考慮してなされたもので、その目的とするところは、半導体基板の拡散層上に形成する $Ti$ 等の遷移金属の化合物膜を50nmと薄膜化した場合でも膜の抵抗を十分低くすることができ、かつ遷移金属化合物膜の耐熱性の向上をはかり得る半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するために本発明は、次のような構成を採用している。即ち、本発明（請求項1）は、拡散層上に遷移金属化合物膜を形成した半導体装置の製造方法において、表面に不純物拡散層を有し所望パターンに絶縁膜が形成された半導体基板の全面に、窒素を含まない不活性ガス雰囲気中で遷移金属をターゲットとしたスパッタにより遷移金属膜を形成し、次いで遷移金属膜上に、窒素を含む不活性ガス雰囲気中で遷移金属をターゲットとし、半導体基板がプラズマに晒されないようにしたスパッタにより遷移金属の窒化物膜を形成し、次いで遷移金属膜と遷移金属の窒化物膜の積層膜を加熱することによって、絶縁膜の開口部に露出した基板表面部分に、半導体基板の構成元素と遷移金属との化合物膜を形成することを特徴とする。

【0012】また、本発明（請求項2）は、拡散層上に遷移金属化合物膜を形成した半導体装置の製造方法において、表面に不純物拡散層を有し所望パターンに絶縁膜が形成された半導体基板の全面に、窒素を含まない不活性ガス雰囲気中で遷移金属をターゲットとしたスパッタにより遷移金属膜を形成し、次いで遷移金属膜上に、窒素を含まない不活性ガス雰囲気中で遷移金属の窒化物をタ

ーゲットとしたスパッタにより遷移金属の窒化物膜を形成し、遷移金属膜と遷移金属の窒化物膜の積層膜を加熱することによって、絶縁膜の開口部分に露出した基板表面部分に、半導体基板の構成元素と遷移金属との化合物膜を形成することを特徴とする。

【0013】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

- (1) 半導体基板として $Si$ を用い、遷移金属として $Ti$ を用いたこと。
- (2) 積層膜を加熱する雰囲気は窒素を含まない不活性雰囲気であること。
- (3)  $Ti$ シリサイド( $TiSi_2$ )中の酸素濃度は $1 \times 10^{20} \text{cm}^{-3}$ 以下であること。
- (4)  $Ti$ シリサイド( $TiSi_2$ )中の窒素濃度は $1 \times 10^{19} \text{cm}^{-3}$ 以下であること。
- (5) 基板を加熱しながらスパッタリングにより $Ti$ 膜を堆積すること。

【0014】

【作用】遷移金属の窒化物膜（例えば $TiN$ ）を形成する際に、ターゲットとしての遷移金属（例えば $Ti$ ）が窒素プラズマに晒されると、ターゲット表面で $TiN$ が生成され、これが半導体基板上の遷移金属膜（例えば $Ti$ ）上に堆積される。このとき、半導体基板が窒素プラズマに晒されると、下地の $Ti$ 膜に $N$ が取り込まれることになり、さらに堆積される $TiN$ 膜では $N$ が過剰となる。このため、後続する熱処理工程で $Ti$ シリサイドを形成する際に、 $TiN$ 膜の過剰な $N$ 及び $Ti$ 膜に取り込まれた $N$ の影響で $Ti$ シリサイドの膜質が劣化する。

【0015】本発明（請求項1）によれば、下地としての $Ti$ 膜がプラズマに晒されない条件でスパッタするため、 $Ti$ 膜上に $Ti$ と $N$ の組成比が一定比を保ったままの化学量論組成の $TiN$ 膜を形成することができ、少なくとも $N$ の組成が1:1の化学量論組成より少ない領域が、 $Ti$ 膜上に形成されることがない。さらに、下地の $Ti$ 膜に $N$ が取り込まれることもない。このため、 $N$ の影響で $Ti$ シリサイドの膜質が劣化することはなく、良質の $Ti$ シリサイドを形成することができる。

【0016】また、 $Ti$ 膜中に $N$ の侵入した領域は、欠陥も多く、例えば $TiSi_2$ 膜質の劣化に寄与する $O$ のような不純物が侵入しやすくなるが、本発明によればこれを回避することができ、やはり良質の $Ti$ シリサイドを形成することができる。具体的には、理想的な比抵抗を持つ熱的に安定な高融点シリサイド膜を形成できるため、0.1μm以下の浅い接合を持つ微細デバイスの拡散層上に接合リーク不良がなく、シート抵抗の低い安定したシリサイドを有する半導体装置を実現することが可能となる。

【0017】また、本発明（請求項2）によれば、形成される $TiN$ 膜の組成比が化学量論組成比となるように作成された化合物 $TiN$ ターゲットを用いて、これを窒

素を含まない雰囲気中でスパッタすることにより、Ti膜上に化学両論組成比のTiN膜を形成することができる。従って、請求項1と同様に、良質のTiシリサイドを形成することができる。

【0018】

【実施例】以下、本発明の詳細を図示の実施例によって説明する。

（実施例1）図1は、本発明の第1の実施例に係わるMOSFETの製造工程を示す断面図である。まず、図1（a）に示すように、（001）を主面とするn型のSi基板11上に埋め込み法により800nmのフィールド酸化膜12を形成する。この酸化膜12に囲まれた素子形成領域に10nmのゲート酸化膜13、150nmのドーブした多結晶層13<sub>2</sub>、150nmの珪化タングステン（WSi<sub>2</sub>）膜13<sub>3</sub>を順次堆積した後、これをゲート形状にエッチングで加工して積層膜を設ける。この後、SiN膜13<sub>5</sub>を150nmの厚さに堆積した後、異方性エッチングで加工してゲートの側壁にSiN膜13<sub>5</sub>を残存させる。これにより、ゲート領域13を形成する。

【0019】次いで、Si露出表面上に厚さ10nmのSiO<sub>2</sub>膜16を形成した後、BF<sub>3</sub><sup>-</sup>イオンを35keVで5×10<sup>15</sup>cm<sup>-2</sup>注入し、N<sub>2</sub>雰囲気中で1000℃、20秒の熱処理を加えることにより、約0.1μmの浅いp<sup>+</sup>拡散層14を形成する。

【0020】次いで、p<sup>+</sup>拡散層14の表面上を硫酸と過酸化水素の混合液で処理してカーボン（C）系の表面汚染を除去した後、メタル系の汚染を塩酸と過酸化水素の混合液で処理する。その後、このp<sup>+</sup>拡散層14の表面上にできた薄いSiO<sub>2</sub>膜を希弗酸で洗浄剥離後、溶存酸素濃度が10ppbの超純水で流水洗浄する。

【0021】次いで、図2（a）に示すようにスパッタ装置を用い、被処理基板10とTiターゲット20を対向配置し、Tiターゲット表面をArプラズマでスパッタリングすることによって、図1（b）に示すようにTi膜17を約15nmの厚さに堆積する。

【0022】次いで、図2（b）に示すようにスパッタ装置を用い、Tiターゲット20の表面をN<sub>2</sub>とArの混合ガスのプラズマでスパッタリングすることによって、Tiターゲット表面の窒化反応によりTiNを形成しながら、先のTi膜17表面上にTiN膜18を約100nmの厚さに堆積させる。このとき、N<sub>2</sub>/Arの混合ガスは、形成されるTiN膜組成が1：1の化学量論組成比になるよう混合比を調節した。また、スパッタリングに際しては、ターゲット20と基板10との距離は300mmとし、Arプラズマ及び上記混合ガスのプラズマはターゲット近傍にのみ励起し、基板10は直接プラズマ雰囲気に晒されないように配置した。ここで、基板10はスパッタリングで使用するプラズマ電位に近い電位になるように正の電圧を印加して配置してある。

なお、基板10はコンデンサを介して設置するなどしてグラウンド電位から浮かしたフローティングの状態にしてもよい。

【0023】次いで、図1（c）に示すように、この積層膜をN<sub>2</sub>雰囲気中でアニールし、基板SiとTi膜が直接接触する部分にTiSi<sub>2</sub>膜19を形成した。その後、図1（d）に示すように、TiN膜18及び未反応のTi膜17をエッチング除去した。

【0024】上記した方法で形成したTiSi<sub>2</sub>膜19を評価したところTiSi<sub>2</sub>の膜厚が約30nmと非常に薄いにも拘らず、比抵抗は13μΩcmと理想的な値と同等の低い値であることが明らかとなった。この結果、従来方法で30nmのTiSi<sub>2</sub>を形成した場合にはシート抵抗は8Ω/□であったのに対し、上記方法を用いた場合には4Ω/□と約1/2に低減させることが可能となった。

【0025】図3は深さ0.1μmの拡散層上にTiSi<sub>2</sub>を張り付け、シート抵抗4Ω/□とした場合の接合リーク特性を、従来方法を用いてTiSi<sub>2</sub>を形成した場合と本実施例方法を用いた場合で比較した結果である。従来方法では、著しいリークの発生が認められる。先に述べたように、実効拡散層深さの減少に伴う接合リークの増加を回避し、素子の信頼性を確保するためには、TiSi<sub>2</sub>膜を薄くする必要があるのだが、従来方法で形成したTiSi<sub>2</sub>では薄膜化に際してシート抵抗が下がり、動作速度の低下に伴いMOSFETの性能が低下した。これに対して本実施例の方法を用いた場合には接合特性の劣化は生じないことが確認された。

【0026】また、厚さ30nmのTiSi<sub>2</sub>膜を700～900℃の温度で熱処理した後のシート抵抗の変化を従来技術の場合と比較したところ、次のような結果が得られた。即ち、従来方法ではアニール温度750℃で30Ω/□、アニール温度900℃で300Ω/□、本実施例方法ではアニール温度750℃で4Ω/□、アニール温度900℃で5Ω/□であった。

【0027】これより明らかに、本実施例方法を用いて形成したTiSi<sub>2</sub>の場合、全ての温度範囲でシート抵抗の上昇は殆ど認められないのに対し、従来技術を用いた場合には750℃を越えた時点から急激な抵抗上昇が生じ、900℃では300Ω/□以上の高抵抗値になることが分かる。さらに、従来技術で形成したTiSi<sub>2</sub>を850℃以上でアニールした後に接合リーク特性を測定したところ、完全に接合破壊の生じていることも明らかになった。この試料を詳細に評価したところ、従来技術でTiSi<sub>2</sub>を形成した場合には750℃以上からTiSi<sub>2</sub>膜の凝集現象が開始し、850℃以上では凝集した各々の結晶粒が成長し拡散層を突き抜いてリークを生じさせていることが確認された。これに対して、本実施例方法を用いた場合にはリークの発生は認められなかった。

【0028】以上のように、本実施例方法を用いることにより50nm以下の薄い $TiSi_2$ 膜を形成した場合でも、理想値と同等の低い比抵抗を実現できるのと同時に、900℃の高温まで安定な耐熱性の高い $TiSi_2$ 膜が形成できることが明らかとなった。

【0029】一方、上記効果の機構を明らかにするために形成した $TiSi_2$ 中の不純物分析をSIMSを用いて行った結果を図4、図5に示す。これより明らかなように、従来技術を用いて形成した $TiSi_2$ の膜中には窒素が深さ方向にほぼ一様に $10^{19}cm^{-3}$ 以上の濃度で含まれている（図4（a））のに対し、本実施例方法を用いた場合には窒素は膜中に殆ど検出されなかった（図4（b））。

【0030】また、酸素に関しても、興味深い事実が得られた。従来技術を用いて形成した $TiSi_2$ の膜中では、酸素が膜の表面近傍で特に多く、しかも深さ方向に略一様に約 $10^{20}cm^{-3}$ 以上の濃度で含まれている（図5（a））のに対し、本実施例方法を用いた場合には酸素は膜中にバックグランドベースしか検出されなかった（図5（b））。ここで、この酸素は $TiN$ 膜の成膜中にこの $TiN$ 膜中に混入してしまうものや、外部雰囲気から $TiN$ 膜の柱状結晶の結晶粒界を通して拡散してくるものである。

【0031】さらに、断面TEM観察、XRD測定を行った結果では、 $TiSi_2$ 膜の結晶粒径及び相に関して有意な差は認められなかった。即ち、従来方法で $TiSi_2$ を形成した場合には、 $TiSi_2$ 膜中に外部から多量の窒素が取り込まれる。この領域には欠陥が多く、酸素が取り込まれやすくなっていると同時に、窒化物のある領域は、他の $TiSi_2$ 領域より酸化されやすく、例えばシリサイデーションの熱処理中に界面にパイルアップした酸素により酸化される可能性や、 $TiN$ を硫酸と過酸化水素水の混合液で剥離する際に酸化される可能性等々、によって酸素が $TiSi_2$ 中に取り込まれることになる。

【0032】その結果、膜の比抵抗が増大すると同時に耐熱性が低下するのに対し、本実施例の方法を用いた場合には窒素の取り込みが抑制され、ひいては酸素の取り込みも抑制される。そのため、良好な $TiSi_2$ 膜が形成できることが明らかとなった。

【0033】このメカニズムをさらに考察した結果、以下のことが明らかとなった。即ち、従来方法では $Ti$ ターゲットを $N_2$ と $Ar$ の混合ガスのプラズマでスパッタリングし $TiN$ 膜を形成する際に基板表面がプラズマ中に晒されるために、 $Ti$ 膜の表面から活性な窒素が $Ti$ 膜内部に侵入し、この侵入した窒素が $TiSi_2$ 膜中に取り込まれる。また、 $TiN$ 堆積時に $Ti$ 膜の表面から侵入した活性な窒素によって、 $Ti/TiN$ 界面に、明確な界面が認められなくなる。 $TiN$ 堆積時から、このような $Ti$ 膜表面の窒化の領域を形成することは、堆

積時から酸素の取り込みやすい領域を形成することになる。

【0034】これに対し本実施例の方法では基板を窒素プラズマ領域に晒さないように設置しているために、 $Ti$ 表面からのプラズマによる窒素の侵入が生じない。上記実施例では、ターゲットと基板の距離を300mmとしたが、これに限るものではなく種々検討した結果、ターゲットと基板の距離が少なくとも100mm以上であれば、同様の効果が認められた。より具体的には、基板表面におけるプラズマ密度が最高プラズマ密度の10%以下となる距離に、ターゲットと基板を配置した場合に同様の効果が認められた。

【0035】また、従来方法で形成した $TiN$ 膜の組成を詳細に評価した結果、 $Ti:N=1:1\sim 1.2$ の範囲でばらついていることも明らかになった。この結果、正規組成からずれた余剰の窒素が $TiSi_2$ の形成過程で $TiN$ 膜中から $Ti$ 膜側へ内方拡散するため、 $Ti/TiN$ 界面から窒素の高濃度に分散した領域が形成され、明確な界面が認められなくなるのと同時に、熱処理温度によっても $Ti$ 膜中への拡散速度が異なるために、均一な薄膜の $TiSi_2$ を所望の膜厚通りに得ることも困難であった。

【0036】同時に、 $TiN$ 膜組成が窒素リッチになることによって余剰の窒素によって格子定数が大きくなり、 $TiN$ 膜中、粒界に酸素が多く侵入しやすくなる。さらに、先に述べたように $Ti/TiN$ 界面に不明瞭な窒化領域が形成されるだけでなく、正規組成からずれた余剰の窒素が $TiSi_2$ の形成過程で $TiN$ 膜中から $Ti$ 膜側へ内方拡散するため $Ti/TiN$ 界面から窒素の高濃度に分散した領域が形成され、明確な界面が認められなくなる。これによって、酸素の侵入しやすい領域や経路、或いは酸化されやすい領域を形成することになると共に、熱処理時に先の $TiN$ 膜中の酸素が $N$ の拡散と同時に、 $TiN$ 膜側へ内方拡散することにより、結果として $TiSi_2$ 膜中の不純物酸素濃度が増加する。

【0037】これに対し、本実施例方法を用いた場合には、 $TiN$ 堆積時に $Ti$ 膜の表面から活性な窒素が侵入しないため、 $Ti/TiN$ 界面に、明確な界面が認められるようになる。また、 $TiN$ 膜を1:1の化学量論組成比で形成しているため、熱処理して $TiSi_2$ 膜を形成する際に、 $TiSi_2$ 膜中への窒素の取り込みが防止される。従って、以上の2点から、 $Ti/TiN$ 界面での不均一な窒化反応を防ぎ、 $TiSi_2$ 表面の荒れを防ぐと共に、均一な薄膜 $TiSi_2$ を所望の膜厚で再現性良く得ることができる。

【0038】また、上記のような $Ti/TiN$ 界面を明確に形成できることで、酸素を取り込みやすい領域、酸化されやすい不均一な領域が減少し、 $TiSi_2$ 膜中への酸素の取り込みを防ぐことができる。さらに、 $TiN$ 膜が1:1の化学量論組成比で形成されているので、 $T$

i N膜中、粒界の酸素の取り込み量を減少させ、シリサイドーション時の再拡散等を防ぐこともできる。

【0039】さらに、基板をグラウンド電位から浮かせたり、スパッタリングで使用するプラズマ電位に近い電位になるように正の電位に設定して配置しているため、基板がプラズマ電位と等電位になるので、プラズマ中からの正イオンの入り込みを防止し、先に積層したTi表面上に与えるダメージを減少させることができる。これによって、窒素などを初めとした高エネルギーの正イオンのTi表面への入り込みを防ぎ、上記効果が一層期待できる。

【0040】以上の理由から、比抵抗を減少させることができ、拡散層表面のシート抵抗を低減することができることが明らかとなった。また、TiSi<sub>2</sub>膜中に窒素や酸素が取り込まれないためTiSi<sub>2</sub>結晶粒界エネルギーが上昇せず、アグロメーションが起こりにくくなり、耐熱性が向上することも明らかとなった。

【0041】なお、本実施例方法と従来方法とで形成されるTiSi<sub>2</sub>の膜質の違いは次のようにも推察される。従来方法では、TiSi<sub>2</sub>中に窒素や酸素が取り込まれることによって、TiSi<sub>2</sub>が高抵抗C49相から低抵抗C54相に相転位するのが阻害され、その結果、形成されたTiSi<sub>2</sub>中に高抵抗なC49相が残ることになり、ひいては比抵抗の増大を招く。さらに、膜中に窒素や酸素が取り込まれると、相転位後のTiSi<sub>2</sub>のグレイン成長をも阻害し、かつ結晶中に歪みを導入する要因ともなる。これら種々の要因は、やはり電子の散乱断面積を増大させる結果となり、シート抵抗を増大させる。これに対し本実施方法例では、TiSi<sub>2</sub>中に窒素や酸素が取り込まれることがないため、TiSi<sub>2</sub>がC49相からC54相に確実に相転位することになるのである。

(実施例2) 図6は、本発明の第2の実施例に係わる半導体装置の製造工程を示す断面図である。まず、図6(a)に示すように、(001)を主面とするn型のSi基板51上に、熱酸化により800nmのフィールド酸化膜52を形成する。この酸化膜52に囲まれた素子形成領域にBF<sub>3</sub><sup>-</sup>イオンを35keVで5×10<sup>15</sup>cm<sup>-2</sup>注入し、N<sub>2</sub>雰囲気中で1000℃、20秒の熱処理を加えることにより約0.1μmの浅いp<sup>+</sup>拡散層54を形成する。

【0042】次いで、層間絶縁層として、CVD-SiO<sub>2</sub>膜55、BPSG膜56の積層膜を1.0μm厚にて全面に堆積した後、拡散層上にコンタクトホールを形成する。この基板を硫酸と過酸化水素の混合液で処理し、さらに塩酸と過酸化水素の混合液で処理した後、拡散層表面の薄いSiO<sub>2</sub>膜を希弗酸で洗浄剥離後、溶存酸素濃度が10ppbの超純水でリンスする。

【0043】次いで、図7(a)に示すようなスパッタ装置を用い、被処理基板50とTiターゲット20を対

向配置し、Tiターゲット表面をArプラズマでスパッタリングすることによって、図6(b)に示すように厚さ15nmのTi膜57を堆積する。続いて、図7

(b)に示すようなスパッタ装置を用い、1:1の化学量論組成比で構成されるTiNの化合物ターゲット30を用い、TiNターゲット表面をArプラズマでスパッタリングすることによって、先のTi膜57表面上に化学量論組成比のTiN膜58を100nmの厚さに堆積させる。ここで、基板50は実施例1と同様に、グラウンド電位から浮かせたり、スパッタリングで使用するプラズマ電位に近い電位になるように正の電位に設定して配置する。

【0044】次いで、図6(c)に示すように、この多層膜をN<sub>2</sub>雰囲気中で700℃で30分アニールして、TiSi<sub>2</sub>膜59を形成する。その後、図6(d)に示すように、TiN膜58及び未反応Ti膜57を除去してサリサイドを形成した。

【0045】このようにして得られたTiSi<sub>2</sub>膜59の比抵抗を評価した結果、第1の実施例の場合と同様に約13μΩcmの理想的な値にほぼ一致する膜であることが確認された。

【0046】また、このようにして形成したTi/TiN積層膜の堆積直後の界面及び熱処理後のTiSi<sub>2</sub>/TiNの界面を断面TEMで観察した結果、従来技術を用いた場合の界面では、TiSi<sub>2</sub>表面に高濃度の窒素を含む領域が形成されるため界面は不明瞭であったのに対し、本実施例の方法で形成されたTi/TiN界面及び熱処理後のTiSi<sub>2</sub>膜/TiN界面は非常に急峻であった。

【0047】また、本実施例の方法で形成されたシリサイド表面は滑らかであり、局所的な凹凸の生成は認められなかった。さらに、アグロメーションに対する耐熱性も第1の実施例方法の場合と同様に従来技術に比べて150℃以上向上することが確認された。第2の実施例によって形成したTiSi<sub>2</sub>膜中の窒素濃度、酸素濃度をSIMSを用いて評価した結果、やはり膜中で窒素濃度に関しては10<sup>19</sup>cm<sup>-3</sup>、酸素濃度に関しては10<sup>20</sup>cm<sup>-3</sup>以下に保たれていることが明らかになった。

【0048】このように、第2の実施例の方法によりSi基板上に良好なTiSi<sub>2</sub>膜が形成できる機構は以下のように説明できる。第1の機構としては第1の実施例の場合と同様に堆積する、TiN膜の組成を容易に化学量論組成比にすることができるため、N<sub>2</sub>雰囲気中で熱処理してTiSi<sub>2</sub>膜を形成する際にTiN膜中からTi膜側への余剰窒素が内方拡散が生ぜず、Ti膜中への窒素の取り込みを防ぎ、表面の荒れを防ぐと共に、均一な薄膜TiSi<sub>2</sub>を所望の膜厚で再現性良く得ることができる。そのため、比抵抗を減少させることができ、拡散層表面のシート抵抗を低減できる。

【0049】第2の機構としては、Ti/TiNの積層

構造膜を堆積するときにTi表面を窒素プラズマに晒さないことにより、活性な窒素でTi表面及びTi膜がダメージを受けるのを排除した点にある。従来方法ではTiNを堆積させる場合、Tiターゲット表面をN<sub>2</sub>とArの混合ガスのプラズマでスパッタリングする際、Ti膜中への活性な窒素プラズマの拡散速度は、通常の窒素よりも速い。このため従来方法では、TiN膜を形成する際に窒素をTi膜中に取り込んでしまう。

【0050】また、活性な窒素プラズマに晒されたTi表面は、低い温度でも局部的に窒化反応が進み、TiNを形成する。この反応はTi表面方向、深さ方向で共に均一でないため、Ti表面の荒れを生じると共にTi/TiN界面のだれを生じさせる。その結果、形成されたTiSi<sub>2</sub>膜表面の荒れを生じさせる。例えば、従来方法で形成されたTiSi<sub>2</sub>表面は、表面凹凸高さが5~8nmになり、シリサイド膜厚30nmに対して約30%の膜厚の揺らぎが生じてしまう。これに対して本発明によると、表面凹凸高さは1~3nmに抑えられており、シリサイド膜厚30nmに対して膜厚の揺らぎを10%以下にすることができる。膜厚の揺らぎは、薄膜においては抵抗上昇の一因となると共に、膜を凝集させやすくする要因でもある。

【0051】さらに、エネルギーを持った活性な窒素によってTiの表面付近の結合を切ることになり、格子欠陥を生じその後の熱処理の際に、Ti/TiN界面での固相反応において、不均一な窒化や過剰な窒素の取り込みを促進させる要因となる。TiSi<sub>2</sub>膜中に取り込まれた窒素は、原子半径がTi(0.068nm)やSi(0.041nm)に対して原子半径が大きいため(N:0.171nm)、TiSi<sub>2</sub>の格子間や格子欠陥に取り込まれることによって、TiSi<sub>2</sub>の格子に局所的な歪を導入し、電子の拡散抵抗を増大させる。これは、Nの原子半径が大きいために単純に散乱断面積が増えるためと、TiSi<sub>2</sub>の格子の周期的ポテンシャルが歪むためとの2つの要因による。さらに、TiNとして、TiSi<sub>2</sub>膜中に分布した場合も、同様の影響を及ぼす。また、TiSi<sub>2</sub>の比抵抗が13μΩcmであるのに対し、TiNは100μΩcm以上の高抵抗値を持つため、上記した効果は重畳してTiSi<sub>2</sub>膜としてのシート抵抗を上昇させることとなる。

【0052】さらに、上記窒素の引き起こす現象によって、Ti/TiN堆積時から熱処理に至るまでの工程の中でTi膜中に多く導入された欠陥は、酸素の侵入しやすい領域を形成することになる。また、不均一に分布したTiNは、熱処理中に酸化されやすく、一層TiSi<sub>2</sub>膜中の不純物酸素濃度を増加させる。不純物酸素濃度の増加したTiSi<sub>2</sub>膜は、一層比抵抗が上昇することになる。

【0053】これに対し第2の実施例では、TiNの化合物ターゲットをArプラズマによってスパッタリング

しているために、基板表面がプラズマ雰囲気中に晒される場合でもTiN膜堆積時にはTi膜中への窒素の取り込みがなく、表面の不均一な窒化も起こらない。また、Tiに対してArプラズマは不活性であるために、窒素プラズマに比べてTi結合を切る確率は小さく、格子欠陥等を生じにくい。さらに、TiSi<sub>2</sub>膜中に窒素が取り込まれないために、界面エネルギーが上昇しないだけでなく、より均一な膜となるために、アグロメレーション開始の起点となる特異点の存在確率も減少し、耐熱性がさらに向上する。以上の機構により、TiSi<sub>2</sub>膜の均一性の向上、シート抵抗の低減及び耐熱性を向上させる結果となっている。

【0054】ここで、上記のTi表面の窒化防止の効果によって、TiSi<sub>2</sub>膜中酸素濃度が減少し、その結果シート抵抗、比抵抗低減、及び耐熱性向上に効果があることは言うまでもない。

【0055】さらに、基板をグランド電位から浮かせたり、又はスパッタリングで使用するプラズマ電位に近い電位になるように正の電位に設定して配置しているため、基板がプラズマ電位と等電位になるので、プラズマ中からの正イオンからの入り込みを防止し、先に積層したTi表面上に与えるダメージを減少させることができる。これによって、窒素などを初めとした高エネルギーの正イオンのTi表面への入り込みを防ぎ、上記効果が一層期待できるのは先の実施例に示した通りである。

【0056】なお、Ti膜を堆積する場合に、400℃以下の温度、例えば200℃で基板を加熱しながらスパッタリングを行うと、基板と反応することなくTi膜中の格子欠陥等が回復し結晶性が良くなるために、窒素ひいては酸素が取り込まれにくくなるため、上記実施例と同様な効果が得られた。

【0057】さらに第1、第2の実施例方法ではTi/TiNの積層膜を窒素雰囲気中でアニールすることによってTiSi<sub>2</sub>を形成したが、アニールをAr雰囲気中で行った場合にはさらに効果的であった。

【0058】窒素雰囲気中で熱処理する方法では、熱処理雰囲気中からTiN柱状結晶の結晶粒界を通して窒素がTi膜表面に到達して、窒化を促進させると共にシリサイド形成時に窒素を取り込んでしまう。このため、やはり第1、第2の実施例で示したように膜質が低下する。上記の如くアニールをAr雰囲気中で行った場合には、熱処理雰囲気からの窒化の影響がないために膜質が向上し、薄膜形成においても膜厚の制御が容易であるだけでなく、TiSi<sub>2</sub>膜中のみならず、TiSi<sub>2</sub>結晶粒界に窒素が取り込まれないために、界面エネルギーが上昇せず、アグロメレーションに対する耐熱性もいっそう向上する。さらに、TiNが窒素リッチ組成で構成されている場合においても、アニール雰囲気中に窒素が含まれていないために窒素がAr雰囲気中へ外方拡散する事によって、Ti中への窒素の拡散を最小限に抑制で



き、第1、第2の実施例と同様の効果を得ることができる。

【0059】上記した以外にも、TiNの粒径を大きくして、粒界面積を減少させて熱処理雰囲気からの窒素の内方拡散量を減少させることも、TiSi<sub>2</sub>膜中の窒素濃度を低減させる上で効果的であった。また、TiNの柱状結晶粒界が、熱処理雰囲気からTi表面に直接通じないようにTiNを少なくとも2段階層以上になるように堆積させ、窒素の内方拡散を減少させることも、上記の方法と同様な効果を現すことが可能であった。なお、この窒素に関しての効果は同様に酸素に対しても効果を発揮することは言うまでもない。

【0060】本発明は上記実施例に限ることなく、その他種々これを変形して実施できることはいうまでもない。例えばTiSi<sub>2</sub>以外にも遷移金属のシリサイド、例えばNiSix, CoSix (X=0.5, 1, 2) 或いはZrSix, PdSix, VSix, HfSix, TaSix, WSix 等他のシリサイドを形成する際にも各々の金属膜上にキャップ層として形成する化合物膜層からの不純物の拡散を防止することによって同様の効果が期待できる。また、キャップ層はTiN膜に限るものではなく、炭化物膜、硼化物膜等他の化合物膜についても同様の議論が可能である。また熱処理雰囲気に対しても窒素分圧を下げた不活性な熱処理雰囲気、或いは単に不活性ガスのみならず、キャップを構成する物質を含まずなお且つ堆積した積層膜と反応しない雰囲気であれば、先の実施例と同様の効果を得ることができる。さらに、上記実施例では、いずれもTiNキャップ有りの場合について述べたが、これに限るものではなくTi膜を堆積し、窒素を含む雰囲気中で熱処理する場合においても、同様の議論が可能である。また上記実施例では、p<sup>+</sup>-Si基板上についても述べたが、n<sup>+</sup>-Si基板上についても同様の技術が適用できることもいうまでもない。

【0061】

【発明の効果】以上詳述したように本発明によれば、スパッタにより形成する遷移金属の窒化物膜を形成する工程を工夫することにより、半導体基板の拡散層上に形成

するTi等の遷移金属の化合物膜を50nmと薄膜化した場合でも、膜の抵抗を十分低くすることができ、かつ遷移金属化合物膜の耐熱性の向上をはかることが可能となる。つまり、半導体基板上に均一で比抵抗が低く耐熱性の良好なシリサイド膜薄膜が形成でき、浅い接合上に信頼性の高いシリサイド構造を実現することができる。

【図面の簡単な説明】

【図1】第1の実施例に係わる半導体装置の製造工程を示す断面図。

【図2】第1の実施例方法に用いたスパッタ装置を示す模式図。

【図3】第1の実施例における接合リーク特性を示す図。

【図4】第1の実施例におけるSIMS分析を従来例と比較して示す図。

【図5】第1の実施例におけるSIMS分析を従来例と比較して示す図。

【図6】第2の実施例に係わる半導体装置の製造工程を示す断面図。

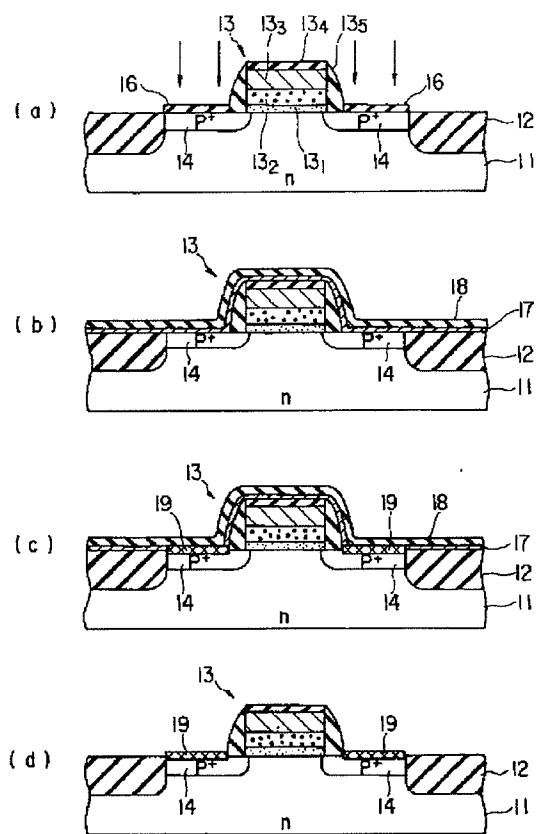
【図7】第2の実施例方法に用いたスパッタ装置を示す模式図。

【図8】従来技術による半導体装置の製造工程を示す断面図。

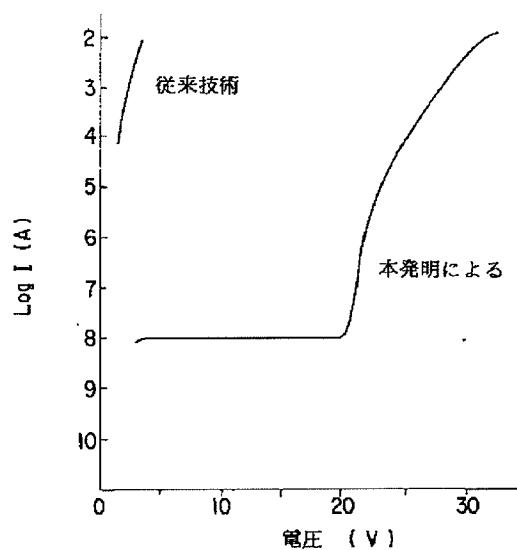
【符号の説明】

- 10, 50…被処理基板
- 11, 51…シリコン基板
- 12, 52…フィールド酸化膜
- 13…ゲート領域
- 14…p<sup>+</sup> 拡散層
- 16…SiO<sub>2</sub> 膜
- 17, 57…Ti膜
- 18, 58…TiN膜
- 19, 59…TiSi<sub>2</sub> 膜
- 20…Tiターゲット
- 30…TiNターゲット
- 55…CVD-SiO<sub>2</sub> 膜
- 56…BPSG膜

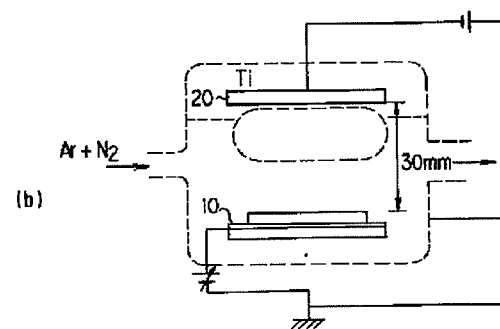
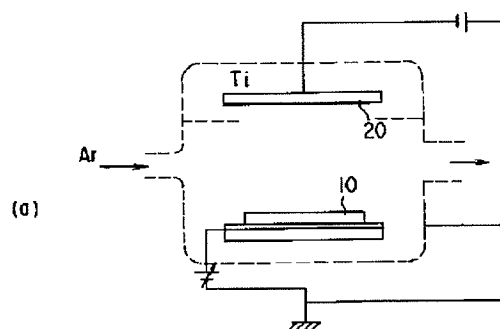
【図 1】



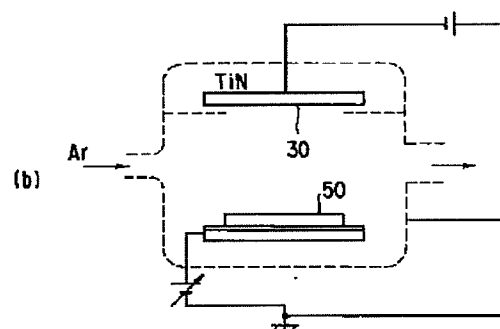
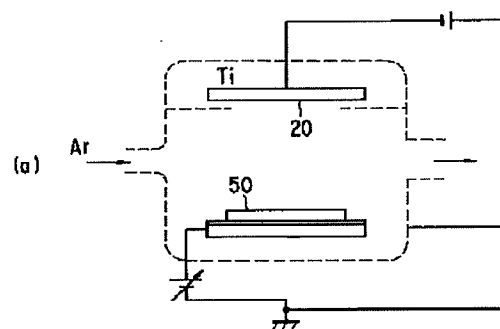
【図 3】



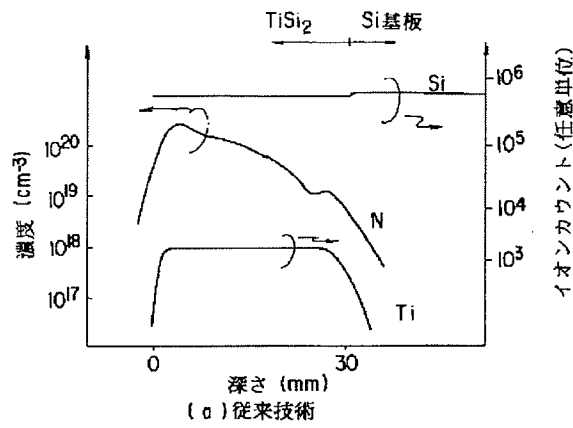
【図 2】



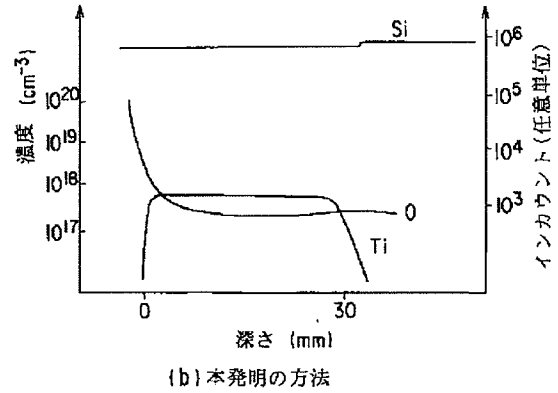
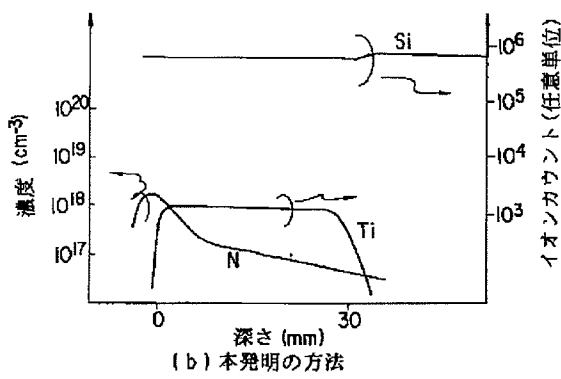
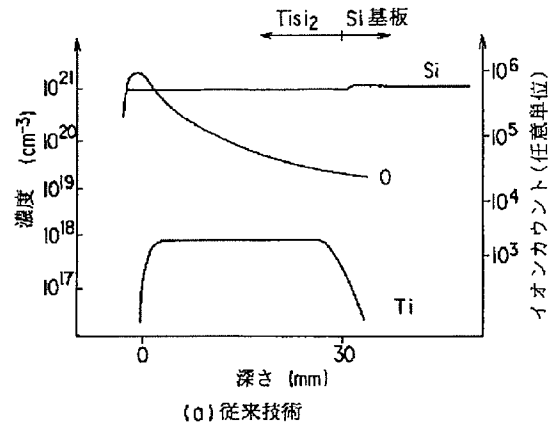
【図 7】



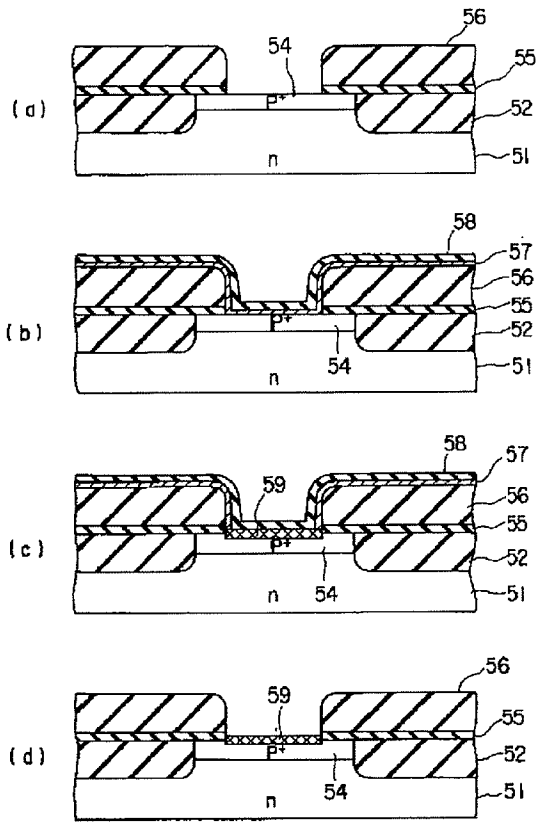
【図4】



【図5】



【図6】



【図8】

